

### CIRCUITOS LOGICOS DE TRES ESTADOS.

Las señales lógicas se componen de dos estados normales, Alto y Bajo (1 o 0). Sin embargo, algunas salidas tienen un tercer estado eléctrico que no es un estado lógico, el cual se denomina estado de *alta impedancia*. En este estado, la salida se comporta como si aún no estuviera conectada al circuito, excepto por una pequeña corriente de fuga que puede fluir hacia adentro o hacia fuera de la Terminal de salida. Una salida puede tener uno de tres estados: 0 lógico, 1 lógico y de alta impedancia.

Una salida con tres estados posibles se conoce como salida de tres estados o en ocasiones salida triestado. Los dispositivos de tres estados tienen una entrada extra, la cual se denomina generalmente “habilitación” o “Enable” para establecer las salidas del dispositivo en el estado de alta impedancia.

Un bus de tres estados los cuales son comunes en equipos computacionales o control, se producen al conectar entre sí varias salidas de triple estado figura 1.

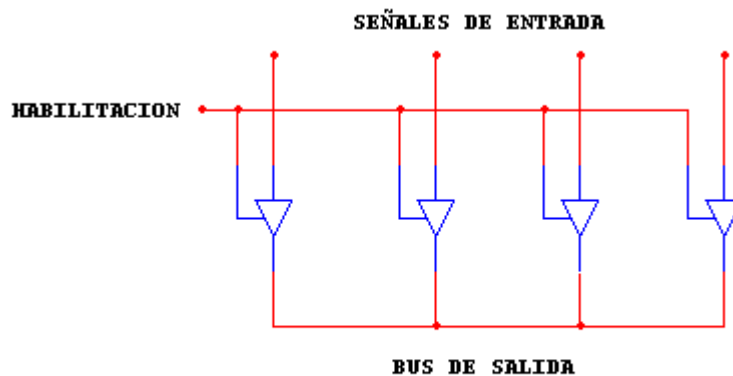


FIGURA 1

En la figura 2 se muestra una compuerta de tres estados con su tabla de verdad (tabla 1).



FIGURA 2

EN	A	SALIDA
L	L	HI-Z
L	H	HI-Z
H	L	L
H	H	H

Tabla 1

Con L = Estado bajo, H = Estado alto y Hi-Z = Alta impedancia

Los símbolos lógicos para estos circuitos se representan normalmente con la entrada de habilitación en la parte superior como se muestra en la figura 2.

Los dispositivos con salidas de tres estados se diseñan normalmente de modo que el retardo la habilitación de salida (de Hi-Z a bajo o alto) sea un poco más largo que el retardo de deshabilitación de salida (bajo o alto hacia Hi-Z). Esto es debido a que si un circuito de control activa la entrada de habilitación de salida del primer dispositivo al mismo tiempo que desactiva la entrada de un segundo dispositivo, esto garantiza que el segundo dispositivo entrará al estado de alta impedancia, antes de que el primero coloque un nivel Alto o Bajo en el bus<sup>1</sup>.

TTL de tres estados.

En la figura 3 se muestra un circuito inversor de tres estados, en donde la Terminal de salida no es un circuito abierto exacto, pero tiene una resistencia de varios megohms o más relativamente a tierra y a la tensión de alimentación.

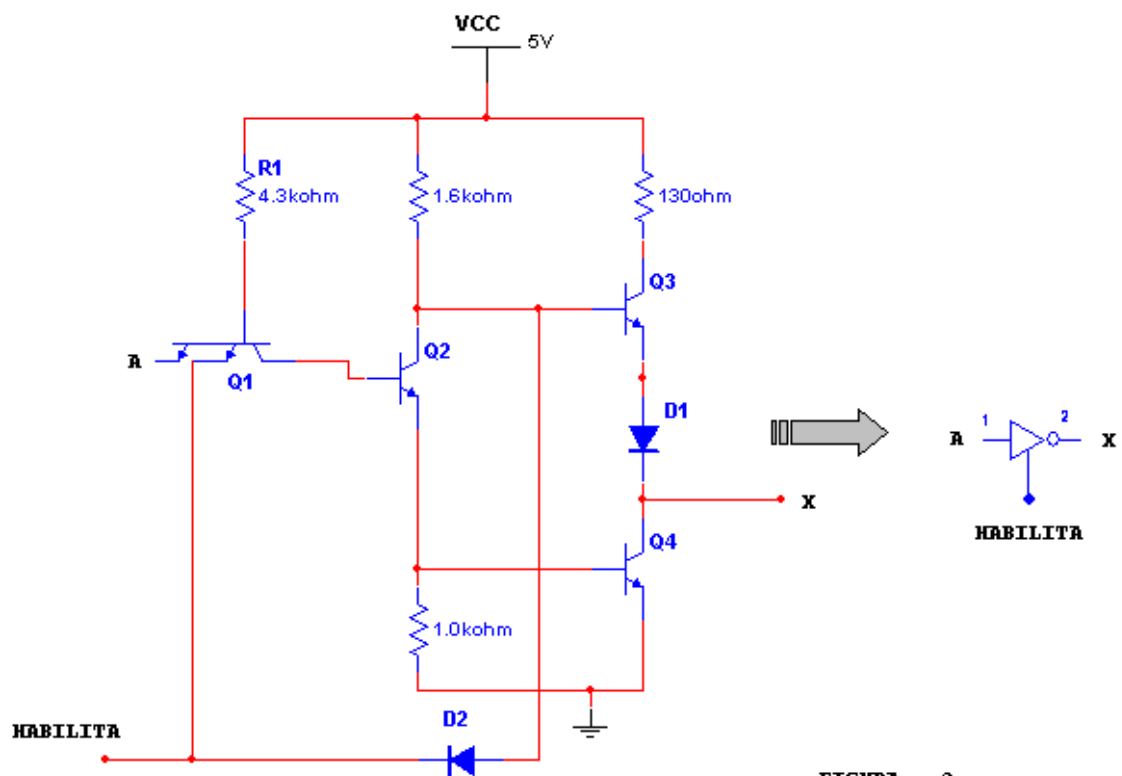


FIGURA 3

Este circuito posee dos entradas; A es la entrada lógica normal, E es la entrada para habilitar la compuerta y que puede producir el estado de Alta Z.

Analizando el circuito de la figura 3.

Estado habilitado. Con  $E = 1$  el circuito opera como inversor normal, debido a que el voltaje alto en E no afecta a Q1 o a D2, en esta condición habilitada, la salida es simplemente la inversa de la entrada lógica A.

Estado deshabilitado (Alta Z). Cuando  $E = 0$  el circuito para a su estado de alta Z, independientemente del estado de la entrada lógica A. La condición baja en E

<sup>1</sup> Grupo de cables o conexiones que permiten a las señales electrónicas viajar de un dispositivo a otro, como por ejemplo en una computadora se conocen los bus de datos, dirección y control.

polariza directamente la unión base-emisor de Q1 y no aplica la corriente de R1 a través de Q2, de manera que Q2 se apaga, lo cual hace que Q4 se desactive también. La condición baja en E también polariza directamente al diodo D2 para no aplicar corriente a la base de Q3, de manera que este también se desactiva.

Con ambos transistores de la salida en el estado no conductor, la Terminal de salida es esencialmente un circuito abierto.

El símbolo lógico para el inversor de tres estados se muestra en la figura 3, se puede apreciar que E es activa en alto; es decir, el inversor se activa cuando  $E = 1$ .

Las salidas de los circuitos de tres estados se pueden interconectar (en paralelo) sin sacrificar la velocidad de conmutación. Esto se debe a que una salida con tres estados, cuando es habilitada, opera como una salida tipo tótem<sup>2</sup>, con una característica asociada de baja impedancia y alta velocidad. Es importante comprender, sin embargo, que cuando las salidas de tres estados se transmiten en paralelo, sólo una de ellas debe ser habilitada a la vez. En caso contrario, se interconectarían dos salidas activas tipo tótem y podrían fluir corrientes perjudiciales.

Un bufer<sup>3</sup> de tres estados es un circuito utilizado para controlar el paso de una señal lógica de la entrada a la salida. Algunos buffers de tres estados también invierten la señal de entrada.

Dos de los circuitos con buffers de tres estados que más comúnmente se utilizan son el 74LS125 y el 74LS126. ambos contienen cuatro buffers de tres estados sin inversión, los cuales se muestran en la figura 4.

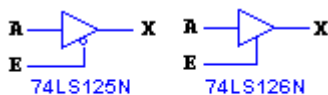


FIGURA 4

Estos circuitos difieren únicamente en el estado activo de sus entradas de habilitación. El 74LS125 permite a la señal de entrada A llegar a la salida cuando  $E = 0$ , en tanto que el circuito 74LS126 pasa la entrada cuando  $e = 1$ .

Además de los buffers de tres estados, existen en el mercado que están diseñados con salidas de tres estados. Por ejemplo, el 74LS374 es un registro octal con flip-flops tipo D y salidas de tres estados. Este tipo de registro puede conectarse a las líneas de un canal común, junto con las salidas de otros dispositivos similares, para permitir la transferencia eficiente de datos sobre el canal.

Lo comentado para este tipo de circuitos así como su análisis y operación aplica para tecnología TTL o CMOS. Un ejemplo de tecnología CMOS es el circuito 74HC125.

<sup>2</sup> Ver anexo.

<sup>3</sup> Un tipo de análisis que generalmente se necesita en un circuito combinatorial complejo es el análisis de carga. La salida de una compuerta sólo puede conectarse a un número limitado de entradas de otras compuertas, este límite es denominado salida en abanico. Los tipos especiales de compuertas, llamadas "buffers", proporcionan una capacidad superior de salida en abanico.

## ANEXO

Tomando la sección de salida de la figura 3 se obtiene lo mostrado en la figura 5.

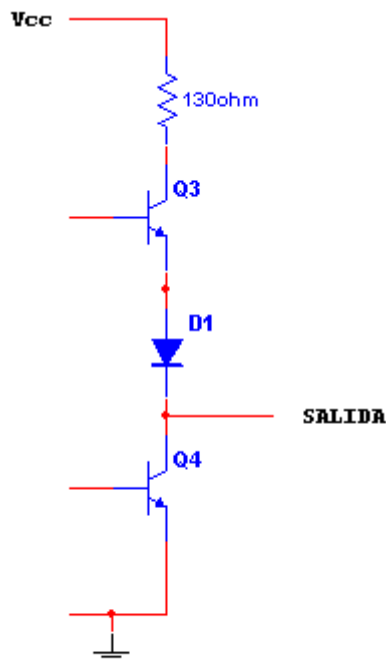


FIGURA 5

Construida por los transistores Q3, denominado transistor de salida *pull-up* (tirar hacia arriba) que pone a nivel alto la salida y Q4 denominado transistor de salida *pull-down* (tirar hacia abajo) que pone a nivel bajo la salida. y que, junto con el diodo D3 forman la configuración denominada etapa de salida en *tótem-pole* o par activo. Con esta configuración se consigue que la capacidad presente en la salida se cargue a través de Q3 (polarizado en la zona activa) y se descargue a través de Q4 (polarizado en saturación). El diodo D3 limita el pico de corriente que se producen la transición en la que Q3 empieza a conducir estando aún Q4 en saturación.

En las figuras 6, 7, 8 y 9 se muestra (a manera de ejemplo) la simulación del circuito mostrado en la figura 3 el cual es un inversor de tres estados.

Con la Terminal E (habilitación o enable) a nivel lógico 1 el circuito se comporta como un inversor normal figuras 6 y 7.

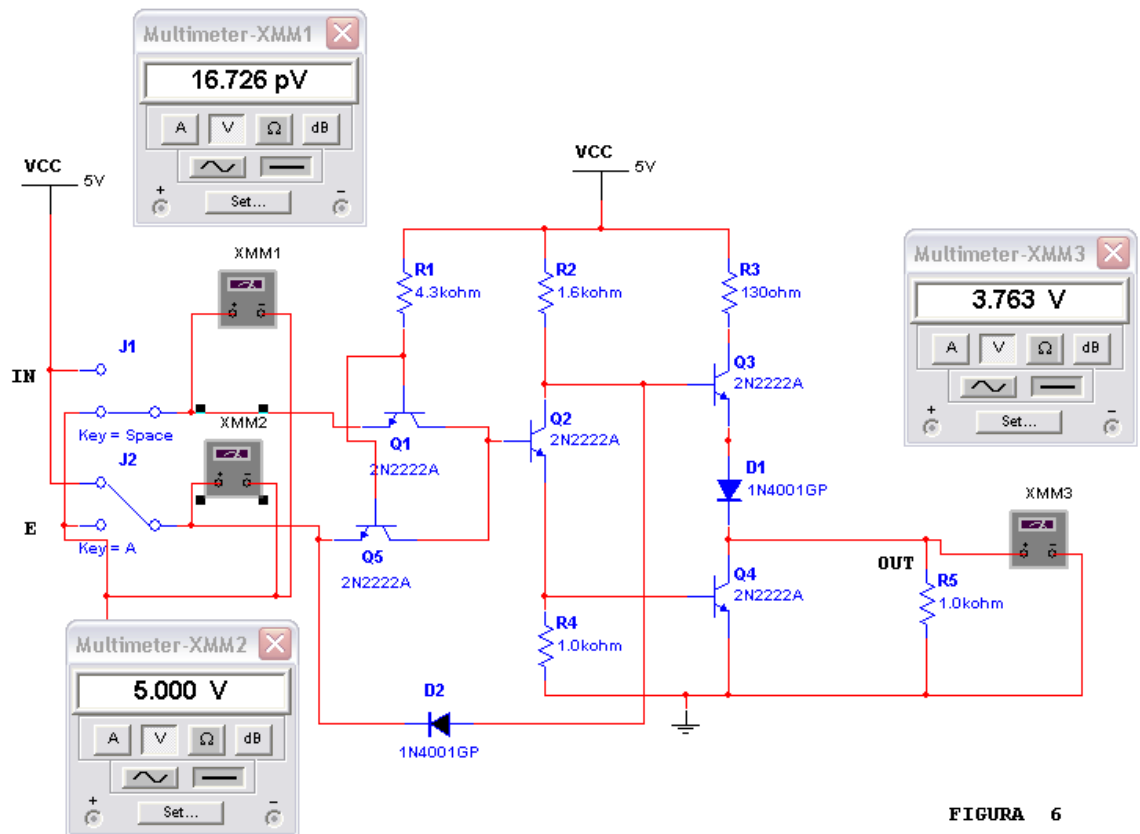


FIGURA 6

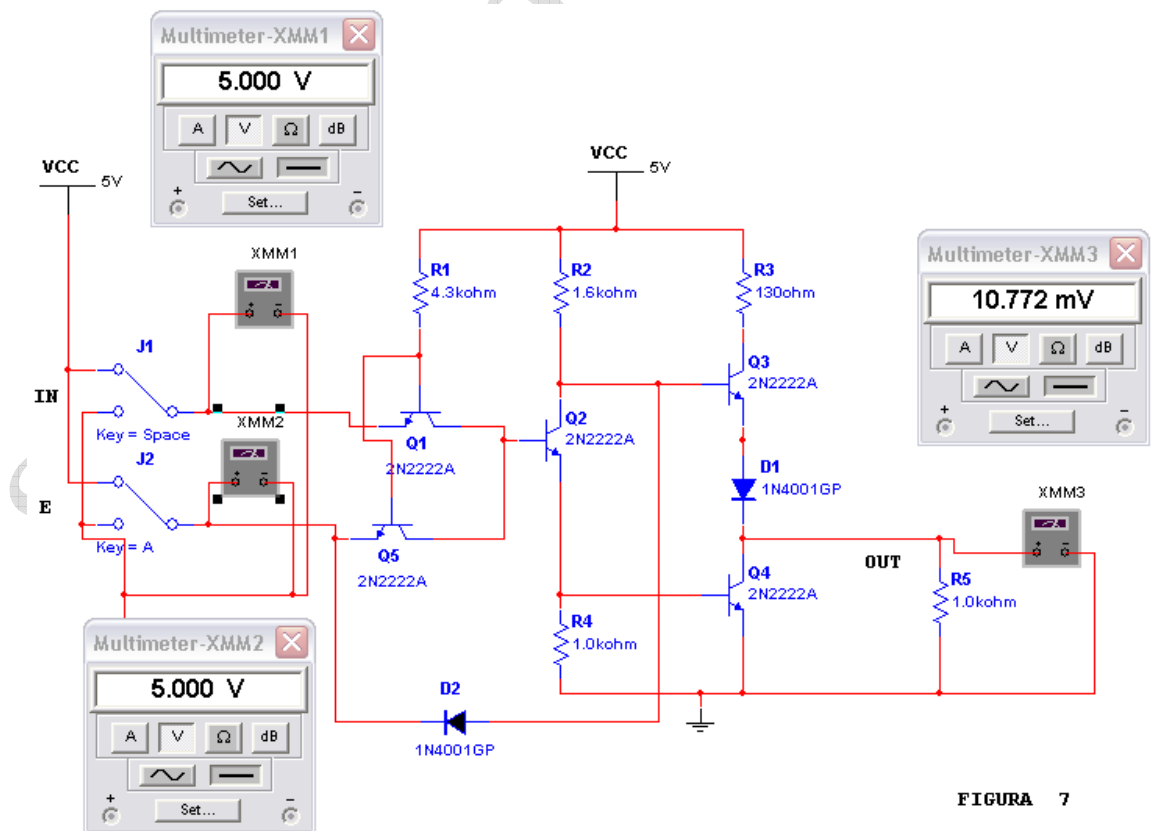
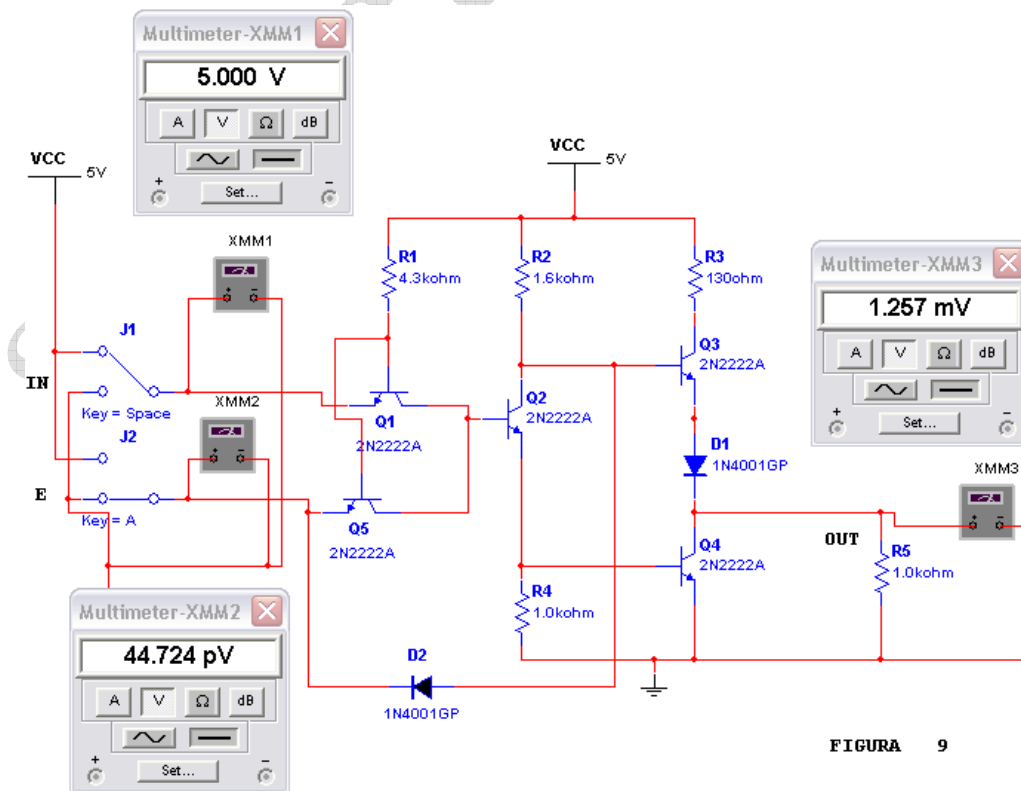
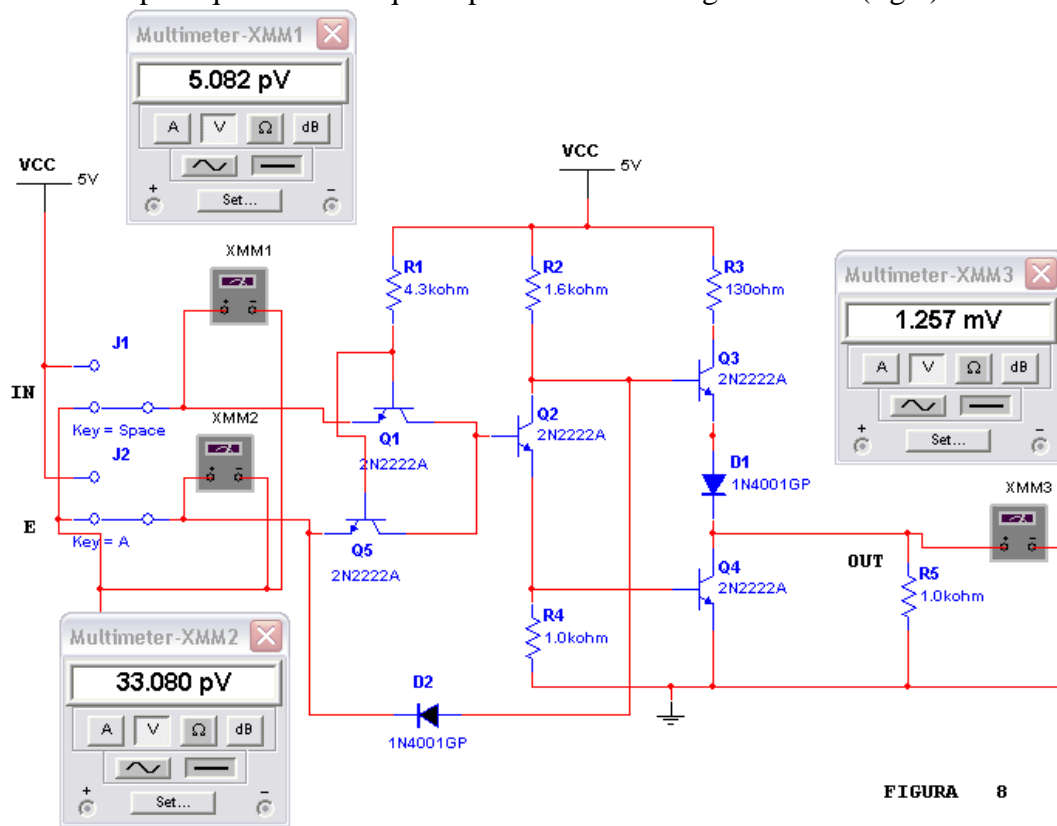


FIGURA 7

Con E en 0 lógico el circuito entra en alta impedancia y no toma en cuenta los cambios producidos en la entrada IN, aunque se puede apreciar la pequeña corriente de fuga la cual se hace notar circulando por la resistencia de carga R5 produciendo un voltaje sobre ella pero que es menor que el presentado en 0 lógico en Out (fig 7).



## BIBLIOGRAFIA

Sajjan G. Shiva. 1998. Introducción al Diseño Lógico Circuitos Digitales  
México. Primera ED. Trillas.

Wakerly John f. 2001. Diseño Digital Principios y Prácticas  
México. 3ª ED. Prentice-Hall.

Acha Santiago. 2003. Electrónica Digital Introducción a la Lógica Digital  
México. 1ª ED. AlfaOmega.

Tocci. Ronald J. 1996. Sistemas Digitales Principios y Aplicaciones  
México. 6ª ED. Prentice- Hall

[www.solecmexico.com](http://www.solecmexico.com)